

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10027420 A**

(43) Date of publication of application: 27 . 01 . 98

(51) Int. Cl

G11B 19/247
G11B 7/09
G11B 19/28

(21) Application number: **08180796**

(22) Date of filing: 10 . 07 . 96

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor:
KATAYAMA TAKESHI
NAGASAWA MASAHIITO
KOMAWAKI KOUICHI
ISHIDA SADANOBU

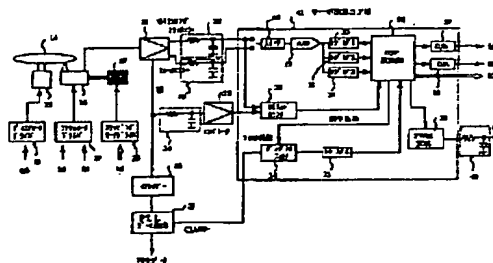
(54) **OPTICAL DISK DEVICE**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain an optical disk device capable of taking the long time for processing softwares of the focusing or tracking control other than the disk rotation control.

SOLUTION: An error signal [CLV(constant linear velocity) error signal] of the disk rotation control is measured (detected) by a PLL(phase locked loop) data detector 27 from every signal reproduced with an optical pickup 16 and inputted to a servo arithmetic core part 41 in the form of serial data or parallel data, then it is stored in a register 35 through a digital filter 34. In a DSP(digital signal processor) arithmetic part 36, the calculation of a rotation control system is performed at a required given cycle of the motor control against the error signal inputted from the register 35. At this point, the calculation is performed in such a manner that the register 35 is taken out on the software at a slow cycle after the filter process is made by the digital filter 34.



【特許請求の範囲】

【請求項1】 光ディスクのディスク回転を制御するための制御システムが、デジタル回路およびソフトウェア処理により行われる光ディスク装置において、光ディスクのビット列を再生することで得られる上記変調信号の読み出しクロックと基準クロックとの周波数および位相比較を行った結果を所定の通信サイクルによりシリアルデータにて上記所定のデジタル回路に入力した後、上記所定のデジタル回路内のデジタルフィルタにて平均化するとともに、上記平均化したデータを上記制御演算部に入力することにより、上記制御演算部におけるディスク回転に係わるプログラム命令巡回サイクルを、上記所定の通信サイクルよりも低くしたことを特徴とする光ディスク装置。

【請求項2】 デジタル演算処理にて光ディスクのフォーカス制御を行う光ディスク装置において、上記デジタル演算処理を行うデジタル演算回路と、上記デジタル演算回路に入力されるフォーカスエラー信号に含まれるノイズ成分を除去するためのノイズフィルタと、制御ループの低域ゲインを確保するための低域補償フィルタと、

安定性を確保するための位相進み補償フィルタとフォーカスジャンプパルス発生回路とを備え、フォーカスジャンプを行う処理中においては、上記それぞれフィルタの内部変数をフリーズすることを特徴とする光ディスク装置。

【請求項3】 デジタル演算処理にて光ディスクのフォーカス制御を行う光ディスク装置において、上記デジタル演算処理を行うデジタル演算回路と、上記デジタル演算回路に入力されるトラックエラー信号に含まれるノイズ成分を除去するためのノイズフィルタと、制御ループの低域ゲインを確保するための低域補償フィルタと、

安定性を確保するための位相進み補償フィルタもしくは、上記演算処理に伴うサンプリングによる位相遅れを補償するためのサンプリング補償フィルタを含む位相進み補償フィルタとを備え、

フォーカスジャンプを行う処理中においては、上記位相進み補償フィルタおよびサンプリング補償フィルタの内部変数を上記フォーカスジャンプ前の値に再セットすることを特徴とする光ディスク装置。

【請求項4】 デジタル演算処理にて光ディスクのフォーカス制御を行う光ディスク装置において、上記デジタル演算処理を行うデジタル演算回路と、上記デジタル演算回路に入力されるトラックエラー信号に含まれるノイズ成分と除去するためのノイズフィルタと、制御ループの低域ゲインを確保するための低域補償フィ

ルタと、

安定性を確保するための位相進み補償フィルタもしくは、上記演算処理に伴うサンプリングによる位相遅れを補償するためのサンプリング補償フィルタを含む位相進み補償フィルタとを備え、

トラックジャンプを行う処理中においては、上記位相進み補償フィルタおよびサンプリング補償フィルタの内部変数をフリーズすることを特徴とする光ディスク装置。

【請求項5】 デジタル演算処理により光ディスクのフォーカスアクチュエータに対してフォーカス制御を行う装置において、

上記フォーカス制御をかけるためのサーチ動作時に、フォーカスアクチュエータサーチ印加電圧に対する上記光ヘッドの合焦点を記憶し、上記合焦点が上記サーチ印加電圧の中央部にくるように上記サーチ印加電圧のオフセットレベルを調整すると共に、調整後は上記オフセットレベルを記憶した値においてサーチ動作を行わせることを特徴とする光ディスク装置。

【請求項6】 上記合焦点の検出が光ヘッドからの全反射光量検出信号が所定レベル以上の時に、フォーカス誤差信号のゼロクロスタイミングを検出することによって行われると共に、光ヘッドからのセンサー信号に含まれるノイズ成分を除去し、フォーカス方向の移動速度に応じて発生する上記検出信号および誤差信号の信号変化を十分に通過するデジタルフィルタを介した信号によって上記タイミングの検出が行われることを特徴とする請求項5記載の光ディスク装置。

【請求項7】 光ヘッドのファインアクチュエータおよび前記光ヘッドをステッピングモータにて移動させる粗動機構にてトラッキング動作を行うためのデジタル演算部を有するトラッキング制御回路において、上記デジタル演算部が、上記ファインアクチュエータを制御するための制御補償フィルタと上記粗動機構を制御するための制御補償フィルタおよび上記ステッピングモータ駆動用の駆動パターンテーブルを有すると共に、上記駆動パターンテーブルは、送り分配能を向上させるための出力信号の固定パルスパターンもしくはパルス幅変調したパターンを含むことを特徴とする光ディスク装置。

【請求項8】 光ヘッドのファインアクチュエータおよび前記光ヘッドをステッピングモータにて移動させる粗動機構にてトラッキング動作を行うためのデジタル演算部を有するトラッキング制御回路において、上記デジタル演算部が、上記ファインアクチュエータを制御するための制御補償フィルタと上記粗動機構を制御するための制御補償フィルタおよび上記ステッピングモータ駆動用の駆動パターンテーブルを有すると共に、信号再生時の上記ステッピングモータ送りに際し、上記駆動パターンを上記粗動機構用の補償フィルタの出力に基づき、インクリメントさせる時に次のパターンを出力

後、所定時間後に所定時間だけ1つ前のパターンを出力することを特徴とする光ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ディスク回転制御並びにトラッキング・フォーカス制御及びステッピングモータ制御を行う光ディスク装置に関するものである。

【0002】

【従来の技術】光ディスク装置では、ディスクを回転させるとともに光ヘッドを半径方向に移動させることにより、光スポットでディスクの記録面を走査している。その回転や外部振動の影響、及びディスクやディスク装置の機械精度のため、トラックは上下左右に激しく動いたり、回転が揺らいだりする。そこで、光ディスクの場合は光スポットをディスクのトラック上に高精度で保持し、正しい信号再生を行うため、光スポットを走査を制御している。トラッキング制御とは、光スポットがトラック上を正しく走査しているかどうかを光学的に検出し、その信号で光スポット駆動機構を動かし、常に正しい走査を行うことである。また、フォーカス制御は、ディスクの面振れに対し、対物レンズとディスク信号面との相対距離を一定に保ち、ディスク信号面がレーザのビームウェストの範囲、いわゆる焦点深度内に位置するように対物レンズを制御するものである。このフォーカス制御は、ディスクからの反射光の状態からフォーカス誤差信号を検出し、これにより対物レンズを駆動する。

【0003】また、ディスクの回転制御においてディスクから読み出された信号をほとんど単一周波数成分であるスペクトルを持つ連続クロックにするのがPLL (Phase Locked Loop) の役目で、中心周波数が少し可変の、狭い通過帯域をもつバンドパスフィルタとして働く。このクロックと水晶発振子とを同期させれば、モータのコントロールができたことになる。ここでモータは電圧制御発振器の代わりをしており、ディスクとピックアップは周波数を検出する装置となる。つまりPLLがロックしている限りCD方式のディスクとピックアップは極めて精密な回転検出器となり、PLLの出力はFG (Frequency Generator) と同じ働きとなる。

【0004】送り制御にはスイングアーム、ラックピニオンまたは送りネジ方式、リニアモータ方式がある。ここで送りネジ方式とはトラッキングに二軸デバイスを用い、その全体を送りネジにより移動させる機構である。スライド送りにこの機構を用いる場合、二軸デバイスの中性点支持のバネがDC分を出す働きをし、そのDC分によりスライドを移動させ、二軸が常に光軸中心を保ってトラックを追いかけていけるように送り動作させる。

【0005】図19は従来の光ディスクを用いた記録再生および再生装置の構成を示すブロック図である。図に

おいて、1は光ディスク、2はディスクモータ、3は光ピックアップ、4はアナログ波形整形器、5はフォーカスサーボ回路、6はトラッキングサーボ回路、7はモータ回転サーボ回路、8は同期検出器、9はデジタル信号処理部、10はPLLデータ検出器、11はX'tal (水晶) 発振器、12はサブコーディング検出器、13はD/Aコンバータフィルタである。次に図をもとに動作を説明する。まず、光ディスク1をディスクモータ2によって回転させ、光ピックアップ3からフォーカスエラー信号やトラッキングエラー信号等を得る。この信号はそれぞれアナログ波形整形回路4、フォーカスサーボ回路5、及びトラッキングサーボ回路6に入力される。また、アナログ波形整形回路4から出力された信号は同期検出回路8とPLL検出回路10に入力され、それぞれデジタル信号処理回路9にてデジタル信号処理され、D/Aコンバータフィルタ13からLch、Rch再生信号として外部へ出力される。また、サブコーディング検出回路12はデジタル信号処理回路9より出力される信号からサブコードを検出して、アクセス制御信号を生成し、トラッキングサーボ回路6に入力する。さらに、X'tal発振器11からの基準クロックは回転サーボ回路7とデジタル信号処理回路9に入力される。このようにして、光ディスク1に対して回転制御、フォーカス制御、及びトラッキング制御が行われる。なお、一般的にデジタル信号にて処理がなされるデジタル部分は図中点線で囲った部分で構成されている。また、以上に示した構成は、光ディスク装置の制御システムとして広く普及しているものである。

【0006】

【発明が解決しようとする課題】従来の光ディスクにおける制御システムは、一般的にアナログ回路もしくはハードロジックから構成されたデジタル回路により構成されていた。また、一般的には、フォーカスサーボやトラッキングサーボ等の補償フィルタを有するだけのシステムが多く、CLV (Constant Linear Velocity) 制御やステッピングモータの駆動回路等は含まれていなかった。そのため、次世代DVD (Digital Video Disc) 等における2層ディスクのフォーカスジャンプ動作や、狭トラックピッチ時のトラックジャンプ動作や、高速なCLV引き込み動作や高速シークを達成するためのステッピングモータを用いた駆動機構には対応していなかった。また、これらを実現するために以下のように構成されたソフトウェアアルゴリズムの巡回サイクル等を考慮したハード構成が実現されていなかった。本発明は以上のような課題を解決するためになされたもので、ディスク回転制御以外のフォーカスやトラッキング制御のソフトウェア処理時間を長く取ることのできる光ディスク装置を得ることを目的とする。また、フォーカスジャンプやトラックジャンプを安定して行える光ディスク装置を得るこ

とを目的とする。さらに、滑らかな送り動作を実現することができるステッピングモータによる送り機構を用いた光ディスク装置を得ることを目的とする。

【0007】

【課題を解決するための手段】この発明に係わる光ディスク装置は、光ディスクのディスク回転を制御するための制御システムが、デジタル回路およびソフトウェア処理により行われる光ディスク装置において、光ディスクのビット列を再生することで得られる上記変調信号の読み出しクロックと基準クロックとの周波数および位相比較を行った結果を所定の通信サイクルによりシリアルデータにて上記所定のデジタル回路に入力した後、上記所定のデジタル回路内のデジタルフィルタにて平均化するとともに、上記平均化したデータを上記制御演算部に入力することにより、上記制御演算部におけるディスク回転に係わるプログラム命令巡回サイクルを、上記所定の通信サイクルよりも低くしたものである。

【0008】また、デジタル演算処理にて光ディスクのフォーカス制御を行う光ディスク装置において、上記デジタル演算処理を行うデジタル演算回路と、上記デジタル演算回路に入力されるフォーカスエラー信号に含まれるノイズ成分を除去するためのノイズフィルタと、制御ループの低域ゲインを確保するための低域補償フィルタと、安定性を確保するための位相進み補償フィルタとフォーカスジャンプパルス発生回路とを備え、フォーカスジャンプを行う処理中においては、上記それぞれフィルタの内部変数をフリーズするようにしたものである。

【0009】また、デジタル演算処理にて光ディスクのフォーカス制御を行う光ディスク装置において、上記デジタル演算処理を行うデジタル演算回路と、上記デジタル演算回路に入力されるトラックエラー信号に含まれるノイズ成分を除去するためのノイズフィルタと、制御ループの低域ゲインを確保するための低域補償フィルタと、安定性を確保するための位相進み補償フィルタもしくは、上記演算処理に伴うサンプリングによる位相遅れを補償するためのサンプリング補償フィルタを含む位相進み補償フィルタとを備え、フォーカスジャンプを行う処理中においては、上記位相進み補償フィルタおよびサンプリング補償フィルタの内部変数を上記フォーカスジャンプ前の値に再セットするようにしたものである。

【0010】また、デジタル演算処理にて光ディスクのフォーカス制御を行う光ディスク装置において、上記デジタル演算処理を行うデジタル演算回路と、上記デジタル演算回路に入力されるトラックエラー信号に含まれるノイズ成分と除去するためのノイズフィルタと、制御ループの低域ゲインを確保するための低域補償フィルタと、安定性を確保するための位相進み補償フィルタもしくは、上記演算処理に伴うサンプリングによる

位相遅れを補償するためのサンプリング補償フィルタを含む位相進み補償フィルタとを備え、トラックジャンプを行う処理中においては、上記位相進み補償フィルタおよびサンプリング補償フィルタの内部変数をフリーズするようにしたものである。

【0011】さらに、デジタル演算処理により光ディスクのフォーカスアクチュエータに対してフォーカス制御を行う装置において、上記フォーカス制御をかけるためのサーチ動作時に、フォーカスアクチュエータサーチ印加電圧に対する上記光ヘッドの合焦点を記憶し、上記合焦点が上記サーチ印加電圧の中央部にくるように上記サーチ印加電圧のオフセットレベルを調整すると共に、調整後は上記オフセットレベルを記憶した値においてサーチ動作を行わせるようにしたものである。

【0012】また、上記合焦点の検出が光ヘッドからの全反射光量検出信号が所定レベル以上の時に、フォーカス誤差信号のゼロクロスタイミングを検出することによって行われると共に、光ヘッドからのセンサー信号に含まれるノイズ成分を除去し、フォーカス方向の移動速度に応じて発生する上記検出信号および誤差信号の信号変化を十分に通過するデジタルフィルタを介した信号によって上記タイミングの検出が行われるようにしたものである。

【0013】また、光ヘッドのファインアクチュエータおよび前記光ヘッドをステッピングモータにて移動させる粗動機構にてトラッキング動作を行うためのデジタル演算部を有するトラッキング制御回路において、上記デジタル演算部が、上記ファインアクチュエータを制御するための制御補償フィルタと上記粗動機構を制御するための制御補償フィルタおよび上記ステッピングモータ駆動用の駆動パターンテーブルを有すると共に、上記駆動パターンテーブルは、送り分配能を向上させるための出力信号の固定パルスパターンもしくはパルス幅変調したパターンを含むようにしたものである。

【0014】また、光ヘッドのファインアクチュエータおよび前記光ヘッドをステッピングモータにて移動させる粗動機構にてトラッキング動作を行うためのデジタル演算部を有するトラッキング制御回路において、上記デジタル演算部が、上記ファインアクチュエータを制御するための制御補償フィルタと上記粗動機構を制御するための制御補償フィルタおよび上記ステッピングモータ駆動用の駆動パターンテーブルを有すると共に、信号再生時の上記ステッピングモータ送りに際し、上記駆動パターンを上記粗動機構用の補償フィルタの出力に基づき、インクリメントさせる時に次のパターンを出力後、所定時間後に所定時間だけ1つ前のパターンを出力するようにしたものである。

【0015】

【発明の実施の形態】

実施の形態1. 図1は実施の形態1である光ディスク装

置の全体構成を示すブロック図であり、図において14は光ディスク、15はディスクモータ、16は光ピックアップ、17はステッピングモータ、18はディスクモータドライバ、19はアクチュエータドライバ、20はステッピングモータドライバ、21はマトリクスアンプ、22、23、24はフィルタ、25はコンパレータ、26はイコライザ、27はPLLデータ検出器、28はスイッチ、29はA/D変換器、30はレジスタ1、31はレジスタ2、32はレジスタ3、33は両エッジカウンタ、34はデジタルフィルタ、35はレジスタ4、36はDSP (Digital Signal Processor) 演算部、37、38はD/A変換器、39はPWM (Pulse Width Modulation) 変換器、40はフィルタ、41はサーボ演算コア部である。なお、図中点線で示した部分が、デジタル信号で処理を行う部分である。

【0016】次に、動作について図をもとに説明する。まず、光ディスク14におけるトラック誤差信号（トラックエラー信号）およびフォーカス誤差信号（フォーカスエラー信号）は光ピックアップ16を介し、マトリクスアンプ21から得られる。ここで、本実施の形態においてはサーボ演算はデジタル的に行うため、制御系のデジタルフィルタ特性はデジタルのサンプリングに起因する演算サイクルにて制限を受け、特にサンプリング周波数付近のローパスフィルタ特性がつくりにくい。そこで、例えば、トラッキング信号およびフォーカス信号のノイズ成分をできるだけ少なくするために、A/D変換器29の手前に高周波ノイズを除去するフィルタ22、23を構成し、それらを介してトラッキング誤差信号及びフォーカス誤差信号をサーボ演算コア部41に入力する。サーボ演算コア部41の中では、変換周波数の高いA/D変換器29をスイッチ28で切り換えることによって、それぞれレジスタ1、レジスタ2、レジスタ3に入力し、あたかもA/D変換器が複数存在するように使用する。そして、各レジスタ30、31、32から得られた誤差信号はDSP演算部36に入力され演算される。一方、光ディスク14からの反射光量もフィルタ24にて高周波ノイズが除去されたのち、コンパレータ25でコンパレートされ2値化した信号となり、フィルタ22からのトラック誤差信号とともに両エッジカウンタ33に入力される。両エッジカウンタ33は、早送り時のトラックカウントを行い、このカウント信号によってステッピングモータ17の速度制御を行ったり、シークしたときに所定のトラック本数移動したかをチェックする。DSP演算部36での演算結果は、トラッキング制御及びフォーカス制御については高い制御帯域が必要のため、独立したD/A変換器37、38からそれぞれ出力され、それぞれ光ピックアップ16を変位させるためのアクチュエータを駆動するためのアクチュエータドライバに入力される。一方、光ピックアップ16及びマ

トリックスアンプ21を介して得られるディスク再生信号である和信号は、イコライザ26を介してPLLデータ検出器27に入力され、2値化した再生データとして出力される。このとき2値化した再生データに含まれる変調信号のクロックからディスク回転制御の誤差信号（CLVエラー信号）がデジタル的に計測（検出）され、その計測値が例えば、シリアルデータやパラレルデータの形でサーボ演算コア部41に入力される。入力された誤差信号はハードウェアで構成されたデジタルフィルタ34を介して、レジスタ35に記憶される。DSP演算部36では、レジスタ35より入力される誤差信号に対し、必要な所定のモータ制御の巡回サイクルで回転制御系の演算を行う。ここで、CLVの誤差信号はフレーム同期単位である比較的高い繰り返し周波数で検出されるが、これに対してディスクのモータの制御系は制御帯域が低いため、上記フレーム同期単位で演算した場合、DSP内部のプログラム処理を制御帯域に比し、余分な速さで行わなければならない。そのため、一旦、ハードウェアであるデジタルフィルタ34でフィルタ処理したのち、遅い巡回サイクルでソフトウェア上でレジスタ4を取り出しては演算を行う構成とする。また、ディスクモータ15の回転制御は低い制御帯域で十分であるため、DSP演算部PWM変換器39でPWM変換したのち出力される。そしてPWM変換された信号は、デジタル的に外付けしたフィルタ40で信号波形を滑らかにした後、ディスクモータドライバ18に入力され、ディスクモータ15を回転させる。また、光ピックアップ16の送り制御をステッピングモータ20で行うときはデジタル的な制御ラインがあればよいから、DSP演算部36から例えば、直接4本の制御ライン(c)を出力し、ステッピングモータドライバ20にて制御する。

【0017】図2はDSP演算部36内部のソフトウェアの動作を示したものである。図において42はトラッキング制御のためのトラッキングサブルーチン、43はフォーカス制御のためのフォーカスサブルーチン、44はその他のサブルーチンを示す。通常トラッキング制御の制御帯域は3kHzであるが、DSP内部においてはトラッキング制御の制御帯域における位相まわりを無視できるレベルにするため、制御帯域を100kHzにする必要がある。同様にフォーカス制御の制御帯域は1.5kHzであるがDSP内部においてはフォーカス制御の制御帯域における位相まわりを無視できるレベルにするため、制御帯域を50kHzにする必要がある。DSP内部は100kHz単位でトラッキングサブルーチンとフォーカスサブルーチンとその他のサブルーチンを演算するが、フォーカス制御の制御帯域はトラッキング制御のその約1/2でよいから、フォーカスサブルーチンに関しては2回に1回のサンプリング動作でよい。また、その他のサブルーチン44（回転制御、メカコント

ロール動作等)はその残った分をその処理の種類に応じて10分割または20分割したタイミングで行えば良い。

【0018】図3は上記トラッキング制御、フォーカス制御、及びその他の制御を行うときの処理フローを示したフローチャートである。図に示すように、まず、光ディスク装置自体の起動時に初期設定プログラムから全体制御プログラムへと移行する。次に、トラッキングサブルーチンへ移行してトラッキング制御を行い、分岐処理にて2回に1回の割合でフォーカス制御を行う。そして、さらに分岐処理をすることでCLV制御、送り制御、及びその他の制御を行うことことで全体の制御が行われる。なお、図においてRETはリターンの動作を示したものである。

【0019】図4はトラッキングサブルーチン、フォーカスサブルーチン、CLVサブルーチン、送りサブルーチン、その他のサブルーチンのプログラムの内部構成を示した図である。トラッキングサブルーチンのプログラム内部は、図中(a)に示すように、トラッキング補償フィルタ処理を行うトラッキング補償フィルタ、トラッキングオフセットを自動調整する自動オフセット調整、トラッキングゲインを自動調整する自動ゲイン調整、及びトラックジャンプ時に処理を行うトラックジャンプ処理といった各プログラムで構成されている。また、フォーカスサブルーチンのプログラム内部は、図中(b)に示すように、フォーカス補償フィルタ処理を行うフォーカス補償フィルタ、フォーカスオフセットを自動調整する自動オフセット調整、フォーカスゲインを自動調整する自動ゲイン調整、及びフォーカスジャンプ時に処理を行うフォーカスジャンプ処理といった各プログラムで構成されている。同様に、CLVサブルーチンのプログラム内部は、図中(c)に示すように、FG回転制御、CLV速度制御、及びCLV位相制御といった各プログラムで構成され、送りサブルーチンのプログラム内部は、図中(d)に示すように、送り補償フィルタ、ステッピングパルス生成するステッピングパルス生成といった各プログラムで構成され、その他のサブルーチンのプログラム内部は、図中(e)に示すように、周辺ICのレジスタ設定を行う周辺ICレジスタ設定、ローディングメカを駆動させ、過電流検知を行うローディング/過電流検知とディスクを判別するディスク判定、ピックアップのレンズ駆動を行うレンズキックと外部とのI/F(インターフェイス)といった各プログラムで構成されている。

【0020】図5はDSP演算部36内のCLV制御ブロックの構成を示すブロック図である。図において45はFG速度カウンタ、46はデジタルフィルタ、47はPG位相カウンタ、48は減算器、49、53、55はウィンドコンパレータ、50、51、52はデジタルフィルタ、54は切り換えスイッチ、56はゲイン可

変器(それぞれ α 、 β 、 γ はゲイン係数を表しておりシリアルデータにより設定変更可能であり、そのデフォルト値は実験によって決定する。)、59はPWM出力部を示す。

【0021】次に動作について説明する。まず、CLV制御をかけるまではディスクモータに取り付けられたエンコーダによって速度制御をかける。これによりモータの立ち上がり時間を速くすることができる。ついで、FG信号によるモータ速度制御を行う。すなわち、FG速度カウンタ45は、ディスクモータからのFG信号から回転速度を検出する。このようにして得られた回転速度検出信号はラグフィルタであるデジタルフィルタ50で位相補償が行われた後、切り換えスイッチ54、ゲイン可変器56及びゲイン可変器58を介してPWM変換部39より出力される。そしてPWM出力信号は図1をもとに説明したようにディスクモータドライバ18へ入力されディスクモータの速度制御がかけられる。このときゲイン可変器56の α の値は1に、またゲイン可変器57の β の値は0になっている。一方、検出されたCLVの速度誤差信号はハードウェアで構成されるデジタルフィルタ46により平均化され、ソフトウェアにおけるCLV制御の制御帯域よりは十分高く、ハードウェアのデジタルフィルタの演算周期よりも低い巡回サイクルにて上記平均化された速度誤差信号をソフトウェアにて処理する。また、ソフトウェア上では減算器48で所定のレベルになるよう減算した後(減算比はICの仕様によって決定される)、デジタルフィルタ51により位相補償(ラグフィルタ)され、スイッチ54を介して、ゲイン可変器56を介してPWM出力部59から外部に出力される。ここで、ディスクモータの回転速度が所定の範囲内かどうかウィンドコンパレータ49にて検出され、例えば、目標値の $\pm 30\%$ 以内にあると検出された時に切り換えスイッチ54は図中下側に切り換わり、CLV速度誤差信号(CLVエラー信号)を導通させる。このときデジタルフィルタ51から出力されるCLV速度誤差信号は、ウィンドコンパレータ55により速度誤差が目標値の $\pm 10\%$ に収まっているかをどうか検出され、 10% 以内であれば変調信号パターンの6Tから速度情報が抽出され、 10% 以上であれば変調信号パターンの16Tから抽出される。これは速度誤差が大きい場合は、ビット長の長い16Tから取り出すことによってある程度ディスク回転数がずれた状態でも速度誤差情報が得られるからである。一方、6Tの成分は最短ビット長を使っているため、ディスクの回転数が所定の回転数に近い、もしくは十分に低くないと検出できないが、周期が短いため高精度に検出することが可能である。また、PG位相カウンタ47にて基準クロックとCLV位相信号である変調信号から抽出されたフレーム同期信号との位相比較を行うことにより位相誤差信号を抽出する。この位相誤差信号はデジタルフィルタ52

にてラグリード補償されゲイン可変器57及び58を介してPWM出力部39から外部に出力される。このときゲイン可変器56や57のゲイン係数 α や β の値を変更することで速度系と位相系のゲイン比を変えることができる。例えば、シーク中や引き込み前においてはゲイン係数 α を1とし、ゲイン係数 β を0とする。CLV引き込み動作中は α に比して、 β を大きな値にすることにより引き込みをすばやく行うことができる。また、引き込み終了後には β を所定のゲインまで下げることにによりジッターを少なくすることができる。さらにモータのトルク定数のバラつきやディスクの大きさの違いから生じるイナーシャの違いに対しては γ を変更することにより、常にトータルのループゲインが同じになるように調整する。これらの演算結果はPWM出力部39から出力され、外部のフィルタ40を介してディスクモータドライバ18に供給される。このとき位相誤差信号の時間変動をウィンドコンパレータ53で監視することによりCLVがロックしているかどうか常にチェックすることができる。このときロックしない状態で、CLVの引き込みが悪い場合は上記 α や β の加算比を変えたり、 γ を調整することにより、ループゲインを変更する。

【0022】図6はCLV制御における既存のCD-DSP回路とDVD専用R-ch(Reader-channel)回路を用いた例を示した図である。図において60はR-ch回路、61はCD-DSP回路、62、63は切り換えスイッチ、36はDSP演算部、18はディスクモータドライバ、15はディスクモータを示す。図5ではデジタル的にCLVエラーを出力し、DSP演算部36の中に転送する構成を述べたが、既に市販されているようなPWM出力のCLVエラー信号を用いる場合は、図6のようになる。図6において、PWM出力として得られるCLVエラーの速度情報(速度エラー)や位相情報(位相エラー)は、DSP演算部36の中でCD(Compact Disc)ディスクを使っているか、DVDディスクを使っているかを自動判別した結果に基づきロジック回路もしくはデジタル的なスイッチ62、63にて切り換えられた後、コンデンサと抵抗によるフィルタによりアナログ信号に変換され、DSP演算部36の入力段に設けられたA/D変換器からアナログ信号として入力される。このときDSP演算部36内の処理はすべてソフトウェアで行われ、これについてのアルゴリズムは図5に示した通りである。また、演算結果はPWMにより出力され、平滑化フィルタを介してディスクモータドライバ18へ供給される構成となっている。

【0023】図7はCLV制御におけるCLVエラーの計測値をそのまま入力させる例を示した図である。図において、67はCD/DVD共通R-ch回路、68はDSP演算部36、18はディスクモータドライバ、15はディスクモータを示す。図において、ディスク情報

としてCLVエラーが取り出されDSP演算部36に入力される場合においては、速度情報なのか、位相情報なのか、16Tに基づく信号なのか、6Tによる信号なのか、を示す状態指令信号をCD/DVD共通R-ch回路67に送る必要がある。ソフトウェア処理以降の構成は図6で示したものと同一である。以上のように外部に専用のデジタルフィルタ回路を構成することで、ソフトウェアにて制御系を構成するシステムにおいてフレーム単位で得られるCLV信号を上記フレーム単位で処理する必要がなくなり、他のフォーカスやトラッキングのソフトウェア処理時間を長くとることが可能となる。

【0024】実施の形態2. 図1に全体構成を示したディスク装置におけるフォーカス制御系補償回路を以下実施の形態2として説明する。図8は実施の形態2であるフォーカス制御系補償回路の構成を示すブロック図である。図において、71はA/D変換器、72はゲイン補償器1、73はサーチIN差信号、74は3次のローパスフィルタ、75は低域補償フィルタ、76はゲイン補償2、77はフォーカスON/OFFスイッチ、78は進み補償フィルタ、79はフォーカスジャンプパルス発生回路、80は加算器、81はサーチ電圧出力、82はスイッチ、83はD/A変換器を示す。

【0025】次に動作について説明する。まず、入力されたフォーカスエラー信号はA/D変換器71にてデジタル信号に変換され、サーチIN差信号73とともにゲイン補償器(1)72(ゲインを例えば1倍~5倍に設定。)を介して、3次のローパスフィルタ74に入力される。ここで3次のローパスフィルタ74はフォーカスエラー信号に含まれる変調信号の低域成分の外乱を除去するために設けられたもので、例えばそのカットオフ周波数は15kHzに設定される。3次のローパスフィルタ74の出力信号は低域補償フィルタ75を介して、ゲイン補償器(2)76(ゲインを例えば4倍~10倍に設定。)に入力される。ここでゲイン補償が2箇所存在するのは3次のローパスフィルタ74や低域補償フィルタ75がデジタルフィルタで構成されており、かつ、直流ゲインが存在するため、信号の飽和を防ぐためである。さらにここでフォーカスON/OFFスイッチ77を介して、進み補償フィルタ78に入力される。上記フォーカスON/OFFスイッチ77が進み補償フィルタ78の手前にあるのはフォーカスOFF時においても前述の3次のローパスフィルタ74と低域補償フィルタ75に信号を通しておくことにより、サーボON時にデジタルフィルタの挙動による引き込み動作が不安定になることを防ぐためである。また、低域補償フィルタ75はサーボループの低域ゲインを確保し、ディスク面振れの追従能力を向上させるために挿入されている。そして、フォーカスが安定に追従されるように、進み補償フィルタ78においてサーボループの位相補償が行われる。一方、サーチIN差信号73が入力されるフォーカ

スジャンプパルス発生回路79により2層ディスク再生時における1層目から2層目へのジャンプ動作を行うことができる。ここでフォーカスジャンプ処理中においては、3次のローパスフィルタ74、低域補償フィルタ75、進み補償フィルタ78における内部変数をフリーズ（保持）させる。そして、フォーカスジャンプ後の引き込み動作終了後にフィルタ変数を上記フリーズした値からスタートさせ、追従動作を行う。2層ディスクにおいては1層目と2層目の偏心や面振れがほぼ等しいため、1層目から2層目へジャンプした時においても、ジャンプ前の偏心や面振れの状況が保持されている。したがって、上記フォーカスやトラッキング制御フィルタの内部変数をフリーズすることによって、ジャンプ前とジャンプ後においてスムーズな過渡応答特性が実現できる。高域での位相まわりの少ないアクチュエータを用いる場合は、上記のフォーカスジャンプパルス発生回路79を用いなくてもよい。スイッチ82にて、これを外部からの例えば、シリアルコマンド等により、切り換えて使い分けることができる。また、サーチ電圧OUT81はD/A変換器83の手前に入力され、フォーカスサーボループONと同時にスイッチ82が加算器80側に切り換えられる。

【0026】実施の形態3。図1に全体構成を示したディスク装置におけるトラッキング制御系補償回路を以下実施の形態3として説明する。図9は実施の形態3であるトラッキング制御系補償回路の構成を示すブロック図である。図において、84はA/D変換器、85はゲイン補償器1、86は3次のローパスフィルタ、87は低域補償フィルタ、88はゲイン補償2、89はトラッキングON/OFFスイッチ、90は進み補償フィルタ、91はサンプリング補償器、92は切り換えスイッチ、93はD/A変換器を示す。

【0027】次に動作を図をもとに説明する。まず、トラッキングエラー信号はA/D変換器84に入力され、デジタル信号に変換されたエラー信号はゲイン補償(1)85（ゲインを例えば1倍～5倍に設定。）を介して、3次のローパスフィルタ86に入力される。ここで、3次のローパスフィルタ86はトラッキングエラー信号に含まれる変調信号の低域成分の外乱を除去するために設けられたものである。3次のローパスフィルタ86の出力信号は低域補償フィルタ87を介して、ゲイン補償(2)88（ゲインを例えば4倍～10倍に設定。）に入力される。ここでゲイン補償が2箇所が存在するのは3次のローパスフィルタ86や低域補償フィルタ87がデジタルフィルタで構成されており、かつ、直流ゲインが存在するため、信号の飽和を防ぐためである。さらにここでトラッキングON/OFFスイッチ89を介して、進み補償フィルタ90に入力される。上記トラッキングON/OFFスイッチ89が進み補償フィルタ90の手前にあるのはトラッキングOFF時におい

ても前述の3次のローパスフィルタ86と低域補償フィルタ87に信号を通しておき、サーボON時にデジタルフィルタの挙動による引き込み動作が不安定になることを防ぐためである。また、前述の低域補償フィルタ87はサーボループの低域ゲインを確保し、ディスク偏心の追従能力を向上させるために挿入されている。そして、進み補償フィルタ90においてサーボループの位相補償が行われ、安定に追従が行われる。さらに、サンプリング補償器91を介することにより、トラッキングの演算サイクルに起因する高域でも位相まわりを補償することが可能となる。高域での位相回りの少ないアクチュエータを用いる場合は、上記のサンプリング補償器91を用いなくてもよい。スイッチ92にて、これを外部からの例えば、シリアルコマンド等により、切り換えて使い分けることができる。ここでフォーカスジャンプ処理中においては、3次のローパスフィルタ86、低域補償フィルタ87、進み補償フィルタ90における内部変数をフォーカスジャンプ前の値に再セットする。これにより、フォーカスジャンプ後のトラック引き込みにおいても、引き込み動作がスムーズに行われ、面振れの大きなディスクにおいても安定なジャンプ動作が可能となる。また、トラックジャンプ処理中においては、3次のローパスフィルタ86、低域補償フィルタ87、進み補償フィルタ90における内部変数をフリーズ（保持）させる。これにより、ジャンプ動作直後のトラック引き込みが安定に行われるようになった。

【0028】ここで、図1に全体構成を示したディスク装置におけるトラックジャンプ部について説明しておく。図10は実施の形態4であるトラックジャンプ部の構成を示すブロック図である。図において、94はレベル検出器、95はレベル検出器、96はジャンプ本数指令値、97は反転回路、98、99はフリップフロップ動作ブロック、100は両エッジカウンタ、101はX×Z処理ブロック、102は確認レジスタ、103はIF=0でHとなる判定ブロック、104、107は立ち上がり検出動作ブロック、105はX処理ブロック、108はパルス幅計測器、109はパルス幅発生器、110はAND回路、111、112はゲイン係数器、113はホールド部、114はD/A変換器を示す。

【0029】次の動作について説明する。まず、トラックエラー信号をレベル検出器94でゼロクロスを検出し、和信号をレベル検出器95でレベル検知することにより、上記ゼロクロスがトラック中であるかトラック間であるかを制御すると共に、上記和信号が所定レベル以上の場合に、レベル検出器94からのゼロクロス信号が立ち上がるか、立ち下がるかで前方向にカウントするか後方向にカウントするかを後段のフリップフロップ動作ブロック98、99で判断し、さらに後段の両エッジカウンタ100にて立ち上がりエッジ数と立ち下がりエッジ数をカウントしている。この時入力されるジャンプ本

数指令値96に対し、これをX×Z処理ブロック101にて例えば、2倍した値と両エッジカウンタ100にて検出した前方向のみのゼロクロス両エッジ検出値とを比較することで所定通りジャンプが行われたかどうかの確認を確認レジスタ102で行う。また、両エッジカウント値とジャンプ本数を比較すれば中間点を検出することができるため、目標中間点までの差信号をIF=0でHの判定をするブロック103に入力し、この検出信号で後段のフリップフロップ動作ブロック104、107を動作させ、キックパルスを発生させる。また、ディスクの傷や外乱や誤動作により、いつまでも中間点が検出できなかった場合にはX処理ブロック105からのトラック本数Xをn乗（一般的には $n=1/2$ ）した値をタイマー106に入力し、フリップフロップ動作ブロック104、107に信号を送り、トラックジャンプ動作を強制的に終了させる。また、キックパルスの時間幅はパルス幅計測によりカウントされ、上記パルス幅と同様もしくは、少し短い（例えば90%）時間幅のブレーキパルスをパルス幅発生回路109により発生させる。この時は上記キックパルスやブレーキパルスは可変ゲイン α 111、 β 112を介して、トラッキングエラーに加算できる。また、ジャンプ中はホールド部113により、上記エラー信号はホールドされる。このようにして、キックブレーキパルスによりアクチュエータを微小変位させ、トラックジャンプ動作を行わせる。

【0030】実施の形態4. フォーカス制御におけるサーチ動作時にフォーカスアクチュエータに印加するサーチ電圧を発生するサーチ電圧ブロックを実施の形態4として以下説明する。図11は実施の形態4であるサーチ電圧ブロックの構成を示すブロック図である。図において115はサーチ信号発生器、116は電圧可変制御部でサーチ回数は複数回を1単位とし、サーチ中にクロス信号が無い場合、1単位終了後に電圧レベルをupし、もう1単位、さらに駄目な場合電圧レベルをさらにupするものである。117はサーチIN差信号で、118はサーチIN和信号、119、121は1kHzのローパスフィルタ、120、122はゼロクロス検出を行うレベル検出器、124、125、130はAND回路、126は300Hzのローパスフィルタ、127は10Hzのローパスフィルタ、128はフォーカスON回路、129はスイッチ、131はサーチ電圧、132はサーボOK信号を示したものである。

【0031】また、図12は図11のサーチ電圧ブロックを用いたときのフォーカスサーチの状態を示した図で、図において133はフォーカスアクチュエータにおけるサーチ波形、イは全く立ち上がらないときの波形、ロはアクチュエータの機械摩擦が小さく摩擦の粘性が高いときの波形、ハはアクチュエータに通常の機械摩擦があるときの波形、ニはアクチュエータの機械摩擦が大きいときの波形、134は合焦点、135はサーチIN差信

号、136はゼロクロス点、137は合焦点付近のサーチIN和信号を示す。

【0032】次に動作について説明する。まず、フォーカスON指令がサーチ信号発生器115に入力され、ここから、電圧可変制御部116とスイッチ129にサーチ信号が送られる。さらに、サーチIN差信号がノイズ成分を除去するための1kHzのローパスフィルタ119を通り、レベル検出器120によってサーチIN差信号のゼロクロス点を得ることができる。このサーチIN差信号の波形が図12の波形135で、この波形のゼロクロス点が合焦点となる。このクロス信号123が電圧可変制御部116に入力されて、例えば、サーチ回数を10回を1単位とすると、サーチ中にクロスが無い場合、1単位終了後にサーチ信号発生器115から出力されるオフセットレベルを2~3Vから1.75~3.25VにUPし、もう1単位、さらに駄目な場合は1.5~3.5VにUPするように電圧可変制御を行い、サーチ信号発生器115と接続することでフォーカスONが失敗しても、10回はトライするようにする。このようにして、上記合焦点が上記サーチ印加電圧の中央部にくるようにサーチ電圧のオフセットレベルが調整される。そして、調整後は、電圧可変制御部116は調整終了時の出力電圧を保持する。そして調整後はこの保持した出力電圧をサーチ電圧のオフセットレベルとしてサーチ動作が行われる。また、サーチIN和信号118は図12における波形137のような出力を得られる。ここでサーチIN和信号118はローパスフィルタ121を介し、上記レベル検出器122から出力された信号は上記レベル検出器120からの信号とともにAND回路124に入力され、さらにこのAND回路124からの出力とフォーカスON指令信号とがAND回路125に入力され、AND回路125からの出力信号によりフォーカスON回路128でフォーカスがONされる。また、レベル検出器122から出力される信号はローパスフィルタ126とローパスフィルタ127に入力される。ローパスフィルタ126は300Hzのローパスフィルタでフォーカスサーチ直後にフォーカスサーボが確実にかかっているかを確認するものでフォーカスサーボがかかっていない場合は、フォーカスON回路128をリセットする働きがある。ローパスフィルタ127は10Hzのローパスフィルタで通常再生時にフォーカスサーボが安定にかかっているかをチェックするものでディスクの傷等により信号波形が乱れて、安定にフォーカスサーボがかかっても誤って反応しないように上述のローパスフィルタ126よりも10Hzと低いカットオフ周波数に設定している。ローパスフィルタ126、127ともに制御の状態によって任意に設定できるものである。上記フォーカスON回路128からの出力信号と上記ローパスフィルタ127の出力をAND回路130にかけてサーボOK信号132を得ることができる。また、フォ

一カスON回路128からの出力はスイッチ129によってサーチ信号発生器115とサーチ電圧131がカットされるため、フォーカスがONになった場合、サーチをOFFにする構成となっている。

【0033】なお、フォーカスサーチ時にトラッキングアクチュエータにディザ信号を印加してなめらかに合焦点にフォーカシングすることができる。図13(a)はこのようにディザ信号を印加するトラッキング制御システムの構成を示すブロック図であり、同図(b)はサーチ時の波形を示したものである。図において、138はA/D変換器、139は合焦点検出回路、140はフォーカス制御回路、141は切り換えスイッチ、142はスイッチ、143、144はD/A変換器、145はフォーカスアクチュエータドライバ、146はトラッキングアクチュエータドライバ、147はフォーカスアクチュエータ、148はトラッキングアクチュエータ、149はサーチ波形、150はディザ印加区間、151はサーチIN差信号である。

【0034】まず、アクチュエータを駆動させる場合に、温度差や湿度差によってアクチュエータの初期動作における静止摩擦係数に違いがあることで、フォーカスサーチ時に滑らかに合焦点を合わせることができない。そこで図13の動作について説明すると上記の静止摩擦係数の違いの影響を除去するために、ディザ信号を入力する。このディザ信号はディザ印加区間150のようにサーチ差信号151によって合焦点が検出されるまで印加される。このことから静止摩擦がばらついていてもサーチ波形149に比例した安定なサーチ動作が実現される。合焦点検出回路139は図11における合焦点を検出するための構成を内部に含むものである。ここで上記ディザ信号を加えたサーチ信号はD/A変換器143を介して、フォーカスアクチュエータドライバ145に入力され、フォーカスアクチュエータ147を駆動させることで初期動作における静止摩擦係数の影響を除去することができる。なお、上記のようにフォーカスアクチュエータ147に上記ディザ信号を与えなくてもトラッキングアクチュエータ148にディザ信号を加えることで同様に静止摩擦係数の影響を除去することができる。

【0035】実施の形態5。本実施の形態は、図1に全体構成を示した光ディスク装置におけるステッピングモータの送り制御部に関するものである。図14は実施の形態5である光ヘッド(光ピックアップ)をステッピングモータで移動させる粗動機構におけるステッピングモータの励磁方向を示した図である。ここでは、1-2相励磁と2相励磁が選択される。なお、図中の表においてHはHigh、LはLow、FはForward、RはReverse、SはStop、×はDon't care、H1F、H2F、H1R、H2Rは励磁方向、IN1、IN2、IN3、IN4は入力電流の値を示す。従来のステッピングモータ駆動においては励磁方向は図

14に示すH1FとH2FとH1RとH2Rの4方向でしか設定できなかった。しかし、例えば、H1FとH2を

示す。同様にH2FとH1Rの位置のコイルに電流を流す。このことから、となりあったステッピングコイルに同時に電流を流すことで励磁方向の分解能は従来のステッピングモータの送りと比較して倍になることがわかる。また、従来のステッピングモータの送りに用いるステッピング送りネジのピッチを1ピ

ちを得ることで送りピッチの分解能が倍に上がり従来と比較して、50 μ mピッチでの制御が可能となる。以上のようにステッピングモータを駆動するために、トラッキング制御回路に、ステッピングモータ駆動用のパターンテーブルを用意しておく。すなわち、この駆動用パターンテーブルは、図14(a)及び(b)に示したように、ステッピングモータの励磁方向に対応したDSP演算部からステッピングモータへの出力(図14のIN1~IN4に対応。)の関係を示すものであり、ステッピングモータの励磁方向に対する送り分配能を向上させるための出力信号の固定パルスパターンからなるテーブルである。そして、図1に示すDSP演算部36はこのテーブルを参照することにより、例えば直接4本の制御ライン(c)を出力し、ステッピングモータドライバ20に送り、ステッピングモータを制御する。なお、本実施の形態においては、駆動用パターンテーブルはステッピングモータの励磁方向に対する送り分配能を向上させるための出力信号の固定パルスパターンとして説明したが、この固定パルスパターンによりパルス幅変調したパターンとしてもよい。

【0036】次に図15は1-2相駆動方式に遷移領域を設けたときの励磁方向を示した図である。また、図16は通常の1-2相駆動の場合のメカ共振と遷移領域を含む場合のメカ共振の波形を示した図である。図15について説明すると、図において152、153、154、155、156は励磁方向を定めるために必要なコイルの位置方向と電流を流す期間であり、例えば、152の場合、励磁方向はHの方向を示している。157、158、159、160はそれぞれ励磁方向切り換え時にステッピングモータの送りを滑らかにするための遷移領域を示したものである。図15において通常の1-2相駆動の場合、AからB、BからC、CからDに3回、励磁方向を切り換えた場合、ステッピングモータ駆動のメカの共振から図16の(a)のようにステッピング送り時に振動が発生する。これはステッピングモータの送りを不安定にさせるのみならず、再生時にはトラッキング動作の追従が間に合わないためにトラックずれの原因となる。そこで図15において、例えばAからBに励磁方向を切り換える場合に遷移領域158を設け、遷移領域においてBからAの順に瞬間的に電流を流

すことで図16(b)に示すように励磁方向の切り換えにおけるステッピングモータ駆動の振動を抑えることを可能とした。ここでは、一旦、前の状態に戻すが、極めて短い時間であるため、逆に上記の振動に対するブレーキ動作となり、振動が抑制される。

【0037】また、図17はPWM駆動を用いることで送りピッチの分解能をさらに上げたものについて説明する中間点

に
流す電流を断続的なもの、つまり周期的に電流の入り切の中間に励磁方向を定めるこ

とH1

とH1Fそ

れぞれの中間に励磁方向を設けることで、従来の励磁方向の数の4倍になることがわかる。よって、従来のステッピングモータの送りに用いるステッピング送りネジのピッチを1ピッチ100 μ mとした場合、図14におけるステッピングモータの制御を行うと25 μ mピッチでの制御が可能となり、さらに滑らかなステッピングモータ駆動が可能となる。また、PWM駆動のHとLの電流をかける時間の長さの比を変えることによってさらに分解能を上げることが可能となる。

【0038】ここで、本実施の形態におけるデジタル演算部を有するステッピングモータの送り制御部の構成を図18に示す。図において161はサーボ演算部、162はトランジスタ、163はダイオード、164は低電圧レギュレータ、165、166はHブリッジドライバ、167はステッピング駆動部を示す。次に動作について説明する。まず、サーボ演算部161から駆動電圧制御信号が出力され、ステッピングモータの通常送りの時はステッピングモータの回転数は低くてもよいため、低電圧レギュレータ164とダイオード163を用いて低い電圧でHブリッジドライバ165とHブリッジドライバ166を駆動する。シーク時は高い電圧で高回転を維持しないと脱調するため、トランジスタ162をONさせ、通常送り時より高い電圧Vccで駆動する。このように電圧駆動を切り換えて、それぞれの電圧でHブリッジドライバ165、166を駆動させ、ステッピング駆動部167の駆動を行う。また、通常再生の時はステッピング駆動による振動が少ない。さらに、1-2相励磁よりも2相励磁の方が高い回転数で駆動できる。図18においてシーク時の波形および低電圧PWM駆動波形、Vcc1-2相駆動波形、Vcc2相駆動波形のそれぞれのタイミングを示す。図においてステッピングモータの通常送りの時は低電圧PWM駆動を行い、電圧を高くして1-2相励磁に切り換える場合は、Vcc1-2相駆動を行い、さらに高い2相励磁に切り換えた場合にVcc2相駆動を行う。このようにステッピングモータの駆動電圧を切り換えることで、通常再生時には低い電圧で駆動し、次の相へ遷移するときにはゆっくりと振

動の少ないように動作させ、高速アクセス時においては高い電圧で駆動することによってステッピングモータが脱調しないようにする。

【0039】

【発明の効果】本発明に係る光ディスク装置においては、外部に専用のデジタルフィルタ回路を構成し、変調信号の読み出しクロックと基準クロックとの周波数および位相比較を行った結果を入力するときに通信サイクルにより上記制御演算部におけるディスク回転に係わるプログラム命令巡回サイクルを低くしたので、フレーム単位で得られるCLV信号を上記フレーム単位にソフトウェアで処理する必要が無のくなり、他のフォーカスやトラッキングのソフトウェア処理時間を長くとることが可能となった。

【0040】また、フォーカスジャンプを行う処理中においては、それぞれフィルタの内部変数をフリーズするので、フォーカスジャンプ時において、ジャンプ後のフォーカス制御の引き込みがスムーズに行われるようになり、面振れの大きなディスクにおいても安定なジャンプ動作が可能となった。

【0041】また、上記位相進み補償フィルタおよびサンプリング補償フィルタの内部変数を上記フォーカスジャンプ前の値に再セットするので、フォーカスジャンプ後のトラック引き込みにおいても、引き込み動作がスムーズに行われ、偏心の大きなディスクに対しても、引き込み時のトラックはずれが防止される。

【0042】また、トラックジャンプを行う処理中においては、上記位相進み補償フィルタおよびサンプリング補償フィルタの内部変数をフリーズするので、トラックジャンプ時においても、ジャンプ動作直後のトラック引き込みが安定に行われるようになった。

【0043】また、フォーカス制御をかけるためのサーチ動作時に、フォーカスアクチュエータサーチ印加電圧に対する光ヘッドの合焦点を記憶し、合焦点が上記サーチ印加電圧の中央部にくるように上記サーチ印加電圧のオフセットレベルを調整するとともに、調整後は上記オフセットレベルを記憶した値においてサーチ動作を行わせるので、フォーカスアクチュエータの軸摩擦の状態が、温度、湿度経時変化等により変動しても安定な引き込みが実現できるようになった。

【0044】さらに、フォーカス方向の移動速度に応じて発生する検出信号および誤差信号の信号変化を十分に通過するデジタルフィルタを介した信号によってタイミングの検出を行うので、フォーカスセンサ信号にディスクのビット列によるビット外乱が混入しても、安定な引き込み動作を行うことができる。

【0045】また、デジタル演算部が、ファインアクチュエータを制御するための制御補償フィルタと粗動機構を制御するための制御補償フィルタおよび上記ステッピングモータ駆動用の駆動パターンテーブルを有すると

ともに、駆動パターンテーブルは、送り分配能を向上させるための出力信号の固定パルスパターンもしくはパルス幅変調したパターンを含むようにしたので、ステッピングモータによる送り機構を用いた場合でも、通常再生時、直流モータの送り動作を実現すると共に、滑らかな送り動作を行うことができる。

【0046】また、信号再生時のステッピングモータ送りに際し、駆動パターンを粗動機構用の補償フィルタの出力に基づき、インクリメントさせる時に次のパターンを出力後、所定時間後に所定時間だけ1つ前のパターンを出力させるようにしたので、ステッピングモータの送りを滑らかにでき、ステッピングの相が切り替わるときの振動を防止し、トラックはずれ等が生じないシステムを構築することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1である光ディスク装置の全体構成を示すブロック図である。

【図2】 この発明の実施の形態1である光ディスク装置のDSP演算部内部のソフトウェア動作を示す図である。

【図3】 この発明の実施の形態1である光ディスク装置の制御システムのフローチャートを示す図である。

【図4】 この発明の実施の形態1である光ディスク装置の制御システムの内部プログラム構成を示す図である。

【図5】 この発明の実施の形態1である光ディスク装置におけるCLV制御ブロックの構成を示すブロック図である。

【図6】 この発明の実施の形態1である光ディスク装置のCLV制御において既存のCD-DSPICとDVD専用R-c hを用いた例を示すブロック図である。

【図7】 この発明の実施の形態1である光ディスク装置においてCLVエラーの計測値をそのまま入力させる例を示すブロック図である。

【図8】 この発明の実施の形態2である光ディスク装置におけるフォーカス制御系補償回路の構成を示すブロック図である。

【図9】 この発明の実施の形態3である光ディスク装置におけるトラッキング制御系補償回路の構成を示すブロック図である。

【図10】 この発明の実施の形態3である光ディスク装置におけるトラッキングジャンプ部の構成を示すブロック図である。

【図11】 この発明の実施の形態4である光ディスク装置におけるサーチ電圧制御回路の構成を示すブロック図である。

【図12】 この発明の実施の形態4である光ディスク装置におけるサーチ電圧波形を示した図である。

【図13】 この発明の実施の形態4である光ディスク装置においてディザ信号を印加するトラッキング制御シ

ステムの構成を示すブロック図及びサーチ時の波形を示す図である。

【図14】 この発明の実施の形態5である光ディスク装置における1-2相励磁選択時および2相励磁選択時の励磁方向を示した図である。

【図15】 この発明の実施の形態5である光ディスク装置における遷移領域を設けたときの励磁方向を示した図である。

【図16】 この発明の実施の形態5である光ディスク装置における通常の1-2相駆動の場合のメカ共振と遷移領域を含む場合のメカ共振の波形を示した図である。

【図17】 この発明の実施の形態5である光ディスク装置においてPWM駆動を用いることで送りピッチの分解能をさらに上げたものを示す図である。

【図18】 この発明の実施の形態5である光ディスク装置におけるステッピングモータの送り制御の構成を示すブロック図である。

【図19】 従来の光ディスク装置の全体構成を示すブロック図である。

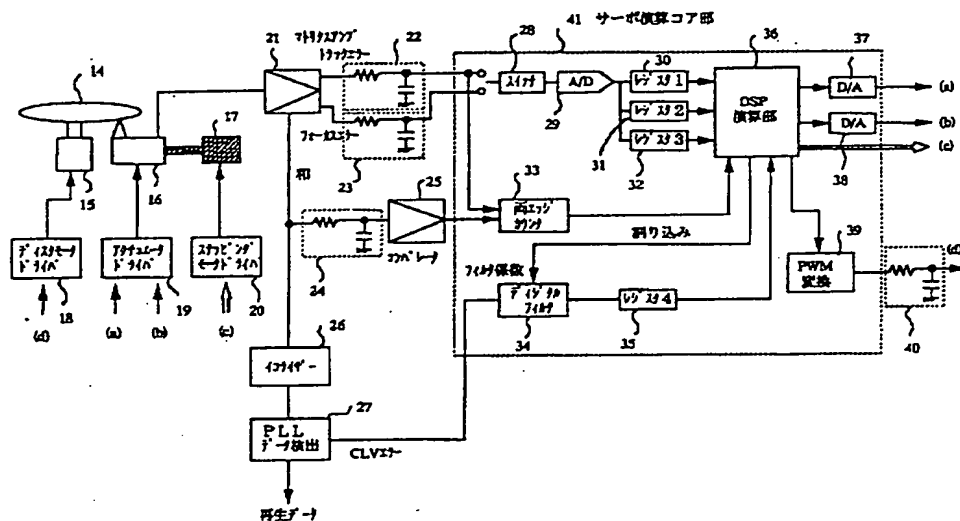
【符号の説明】

14は光ディスク、15はディスクモータ、16は光ピックアップ、17はステッピングモータ、18はディスクモータドライバ、19はアクチュエータドライバ、20はステッピングモータドライバ、21はマトリクスアンプ、22、23、24はフィルタ、25はコンパレータ、26はイコライザ、27はPLLデータ検出器、28はスイッチ、29はA/D変換器、30はレジスタ1、31はレジスタ2、32はレジスタ3、33は両エッジカウンタ、34はデジタルフィルタ、35はレジスタ4、36はDSP演算部、37、38はD/A変換器、39はPWM変換器、40はフィルタ、41はサーボ演算コア部、42はトラッキングサブルーチン、43はフォーカスサブルーチン、44はその他のサブルーチン、45はFG速度カウンタ、46はデジタルフィルタ、47はPG位相カウンタ、48は減算器、49、50、51、52はデジタルフィルタ、53、54は切り換えスイッチ、55、56、57、58はゲイン可変器、60はR-c h回路、61はCD-DSP回路、62、63は切り換えスイッチ、67はCD/DVD共通R-c h回路、71はA/D変換器、72はゲイン補償器、73はサーチIN差信号、74は3次のローパスフィルタ、75は低域補償フィルタ、76はゲイン補償2、77はフォーカスON/OFFスイッチ、78は進み補償フィルタ、79はフォーカスジャンプパルス発生回路、80は加算器、81はサーチ電圧出力、82は加算器、83はD/A変換器、84はA/D変換器、85はゲイン補償器1、86は3次のローパスフィルタ、87は低域補償フィルタ、88はゲイン補償器2、89はトラッキングON/OFFスイッチ、90は進み補償フィルタ、91はサンプリング補償

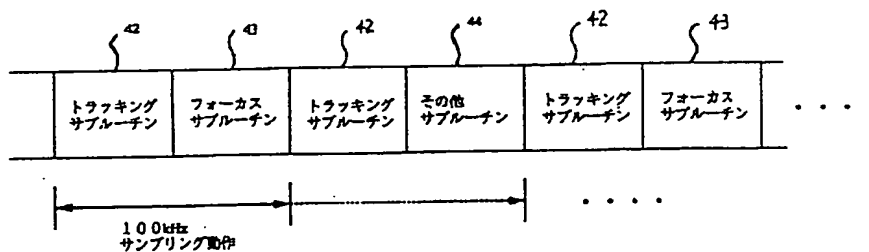
器、92は切り換えスイッチ、93はD/A変換器、94はレベル検出器、95はレベル検出器、96はジャンプ本数指令値、97は反転回路、98、99はフリップフロップ動作ブロック、100は両エッジカウンタ、101はX×Z処理ブロック、102は確認レジスタ、103は判定ブロック、104、107は立ち上がり検出動作ブロック、105はX²処理ブロック、106はタイマー、108はパルス幅計測器、109はパルス幅発生器、110はAND回路、111、112はゲイン、113はホールド部、114はD/A変換器、115はサーチ信号発生器、116は電圧可変制御部、117はサーチIN差信号、118はサーチIN和信号、119、121はローパスフィルタ、120、122はレベル検出器、124、125、130はAND回路、12

6はローパスフィルタ、127はローパスフィルタ、128はフォーカスON回路、129はスイッチ、131はサーチ電圧、132はサーボOK信号、138はA/D変換器、139は合焦点検出器、140はフォーカス制御回路、141は切り換えスイッチ、142はスイッチ、143、144はD/A変換器、145はフォーカスアクチュエータドライバ、147はトラッキングアクチュエータドライバ、148はフォーカスアクチュエータ、157、158、159、160は遷移領域、161はサーボ演算部、162はトランジスタ、163はダイオード、164は低電圧レギュレータ、165、166はHブリッジドライバ、167はステッピング駆動部。

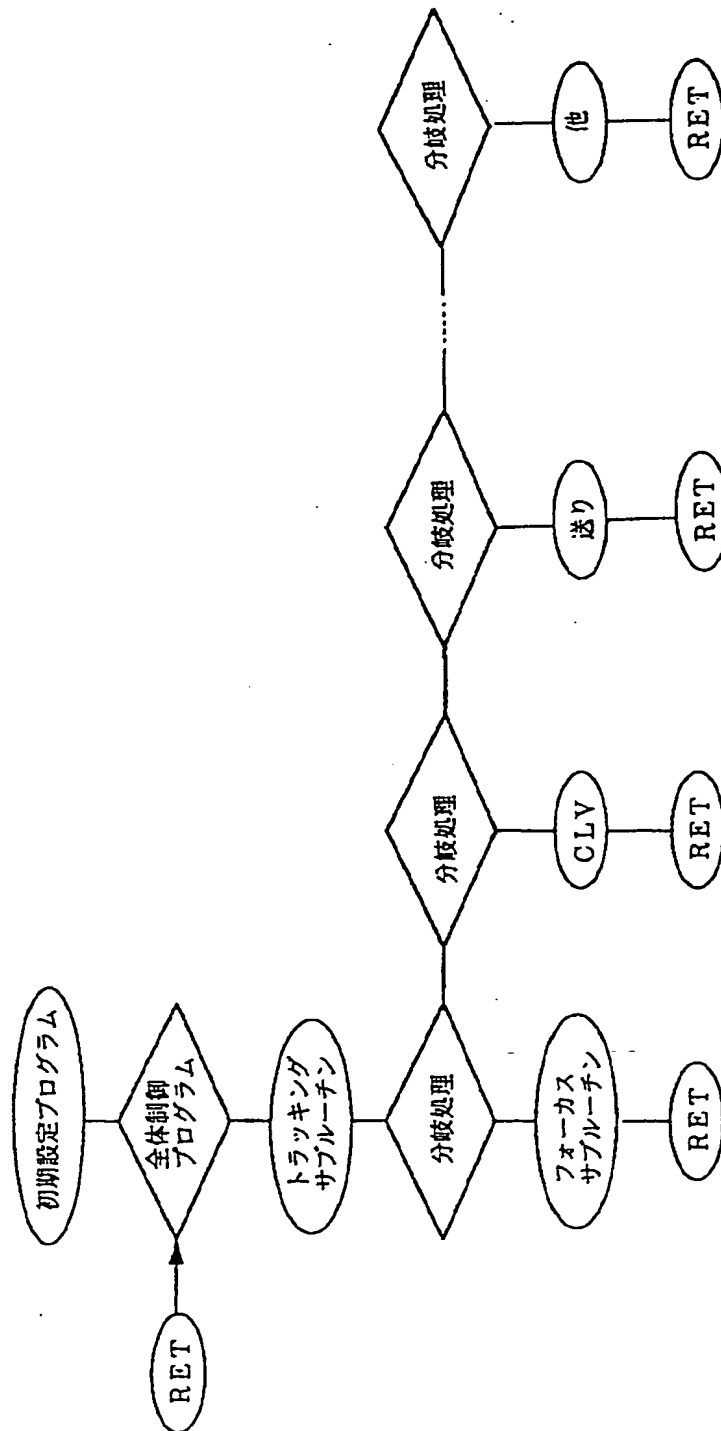
【図1】



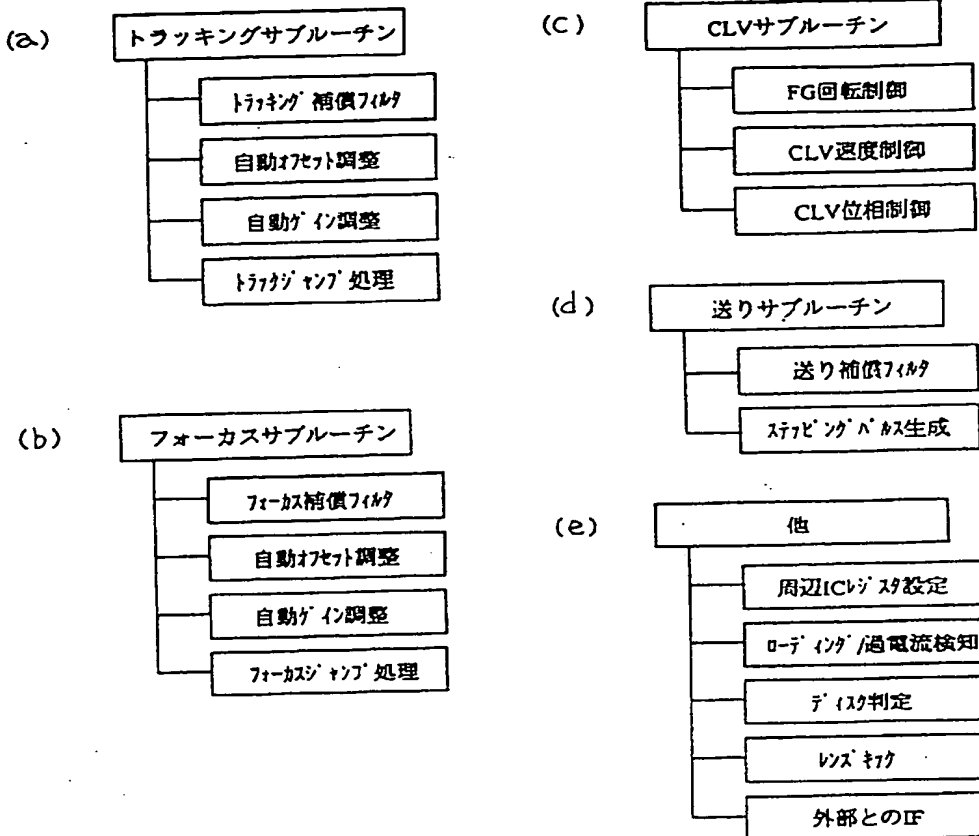
【図2】



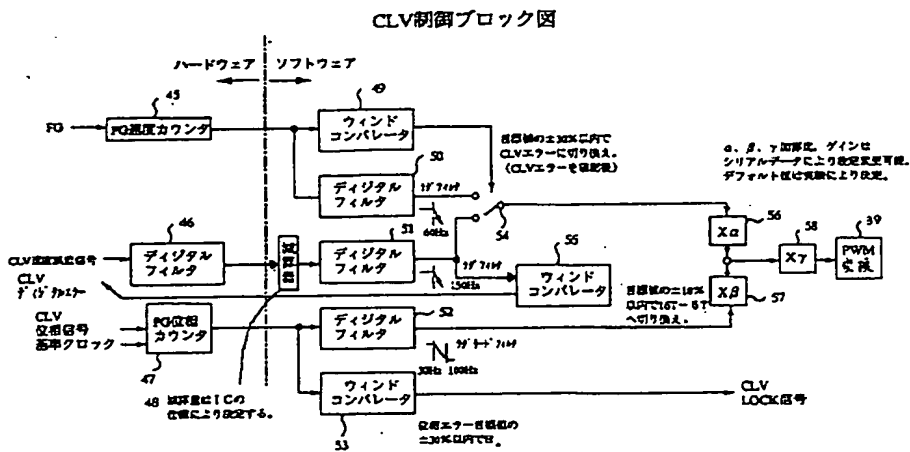
【図3】



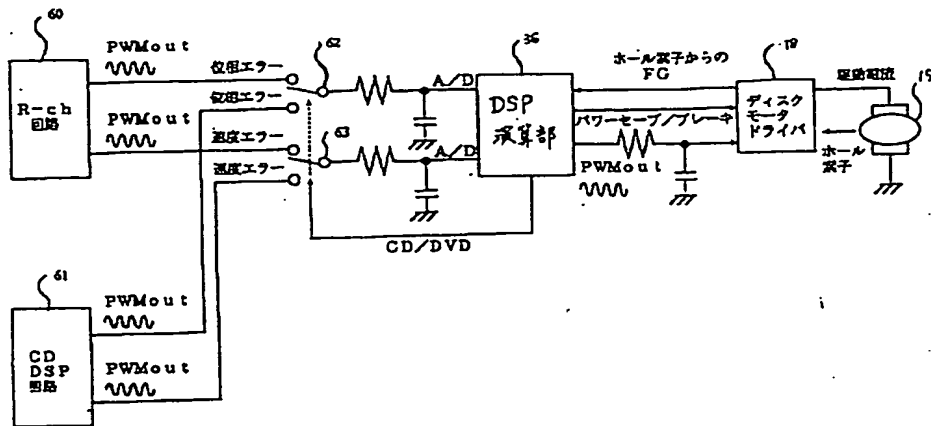
【図4】



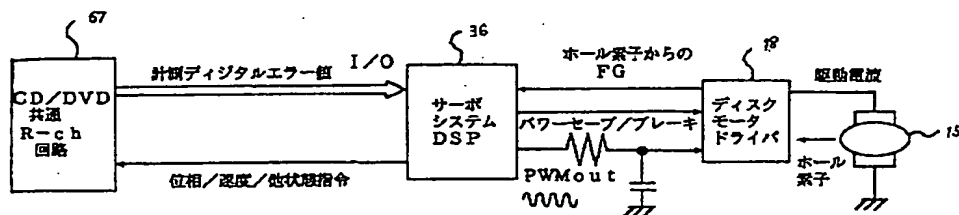
【図5】



【図6】

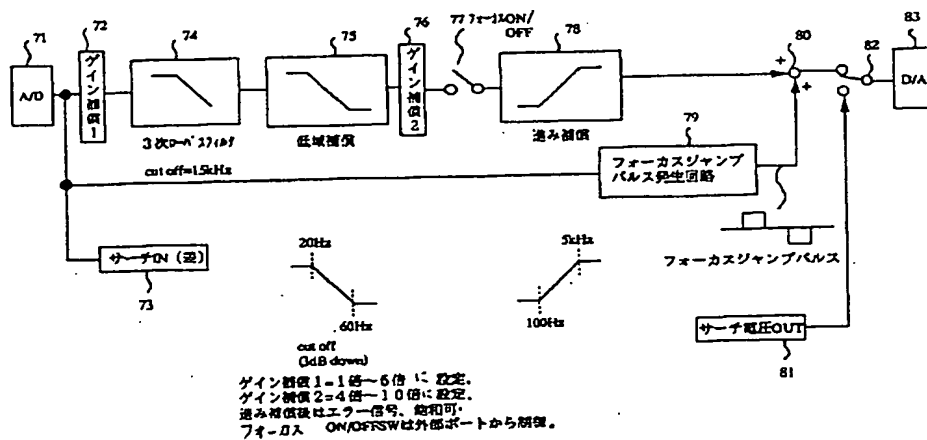


【図7】



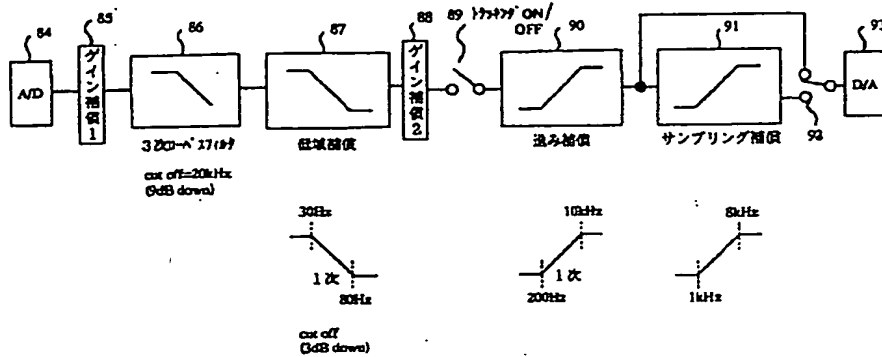
【図8】

フォーカス制御系補償回路ブロック図



【図 9】

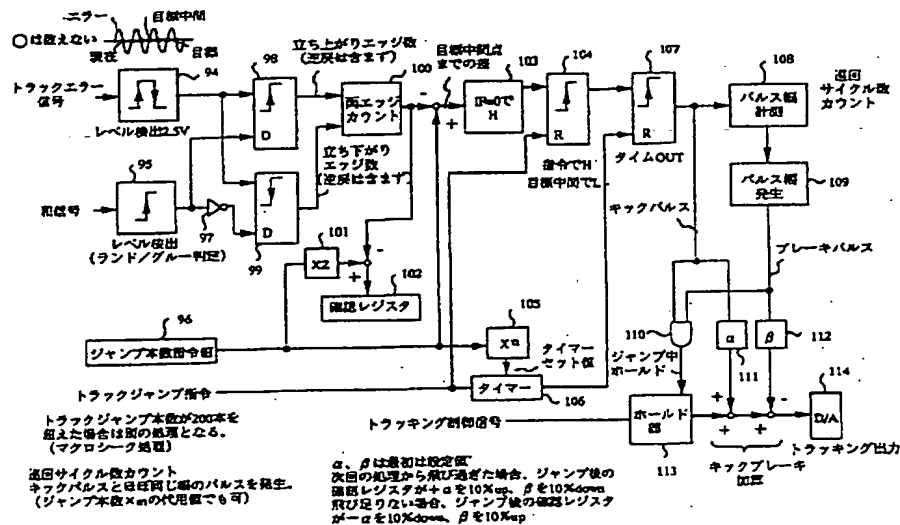
トラッキング制御補償回路ブロック図



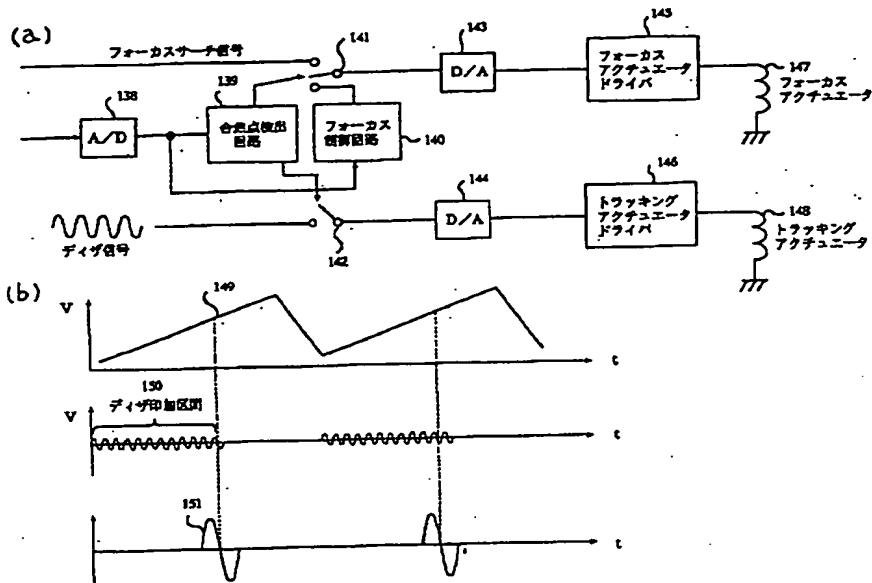
ゲイン補償1=1倍～5倍に設定。
ゲイン補償2=4倍～10倍に設定。
追従補償後はエラー信号、飽和可。
トラッキングON/OFFSWは外部ポートから制御。

【図 10】

トラッキングジャンプ部ブロック図 (トラッキングジャンプ本数<200本)



【図13】



【図14】

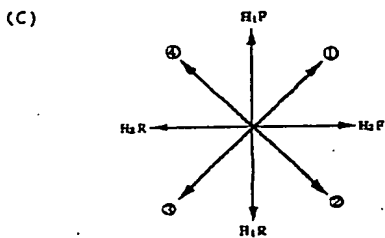
(a) 1-2相励磁状態 (SEL=High)

励磁方向	IN ₁	IN ₂	IN ₃	IN ₄	H ₁	H ₂
—	L	L	L	L	S	S
H ₁ R	L	L	L	L	S	R
H ₁ F	L	L	H	L	S	F
—	L	L	H	H	S	S
H ₁ R	L	H	L	L	R	S
⑤	L	H	L	H	R	R
⑥	L	H	H	L	R	F
H ₁ R	L	H	H	H	R	S
H ₁ F	H	L	L	L	F	S
⑦	H	L	L	H	F	R
⑧	H	L	H	L	F	F
H ₁ F	H	L	H	H	F	S
—	H	H	L	L	S	S
H ₂ R	H	H	L	H	S	R
H ₂ F	H	H	H	L	S	F
—	H	H	H	H	S	S

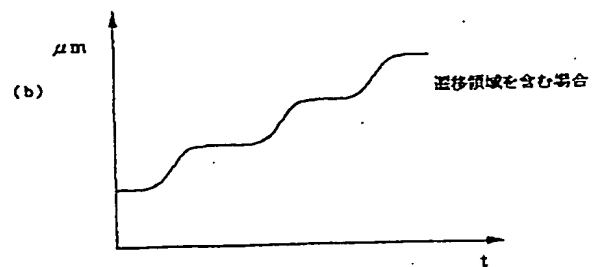
(b) 2相励磁状態 (SEL=Low)

励磁方向	IN ₁	IN ₂	IN ₃	IN ₄	H ₁	H ₂
①	H	H	x	H	F	F
②	L	H	x	H	R	F
③	L	L	x	H	R	R
④	H	L	x	H	F	R
—	x	x	x	L	STOP	STOP

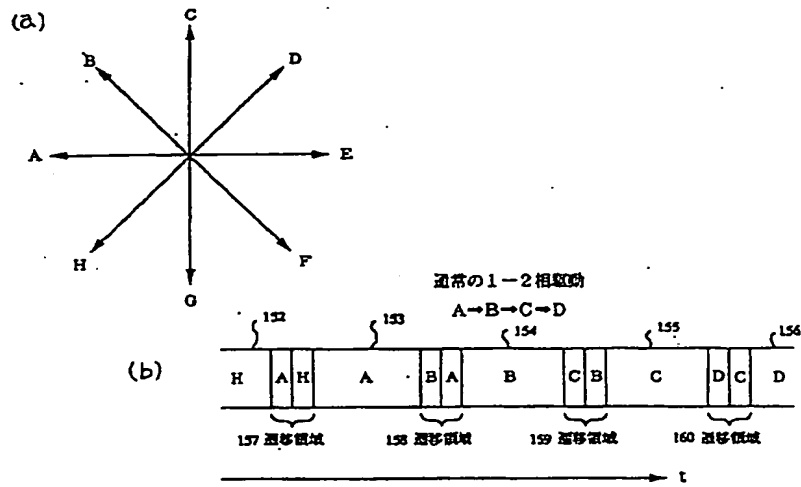
P:Forward R:Reverse S:Stop X:Don't care



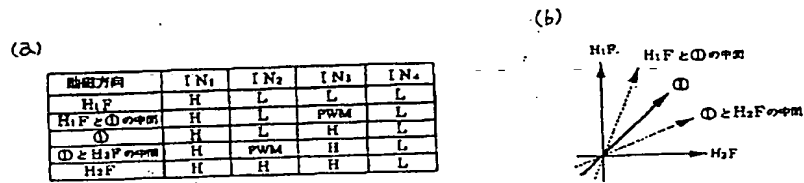
【図16】



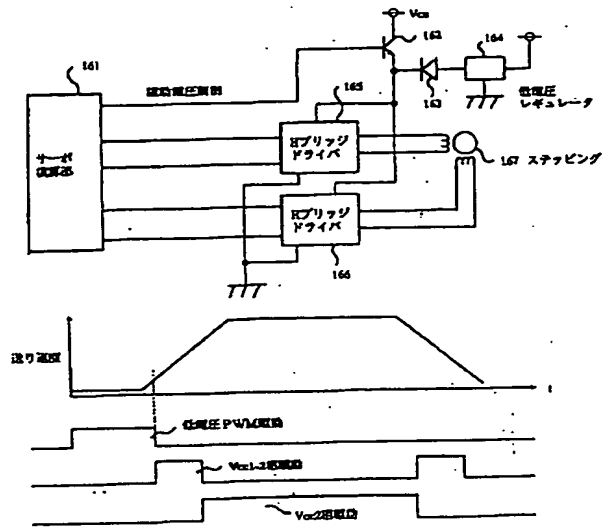
【図 15】



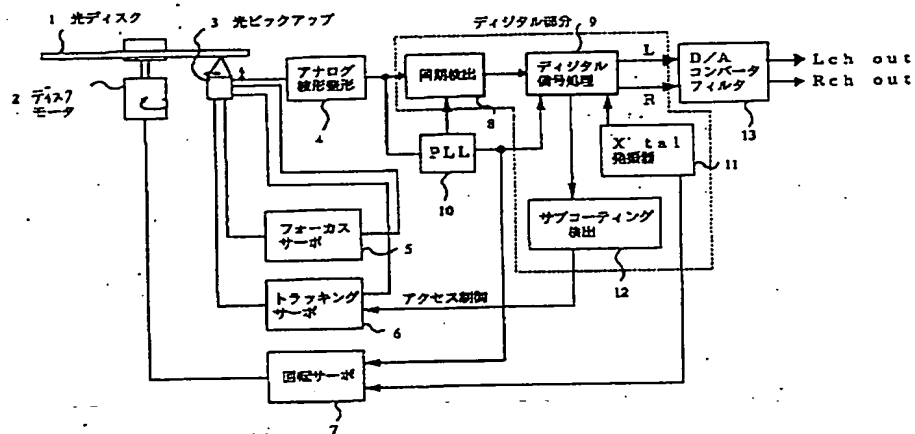
【図 17】



【図18】



【図19】



フロントページの続き

(72)発明者 石田 禎宣
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内